

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280834
 (43)Date of publication of application : 27.09.2002

(51)Int.Cl.
 H03B 5/32
 604C 10/00
 604B 1/00
 604G 3/00

(21)Application number : 2001-075312
 (22)Date of filing : 16.03.2001

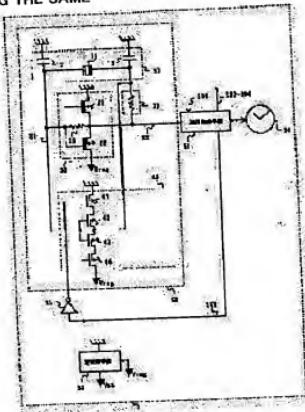
(71)Applicant : CITIZEN WATCH CO LTD
 (72)Inventor : NAGATA YOICHI

(54) OSCILLATION CIRCUIT AND ELECTRONIC CLOCK EMPLOYING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an oscillation circuit the oscillation start characteristic of which is enhanced at low voltages.

SOLUTION: The oscillation circuit 50 configuring a closed loop with an amplifier section 20, a resonance section 10 and an attenuation section 30 is provided with an auxiliary amplifier section 40 that amplifies an input signal to the amplifier section 20 at an amplification factor higher than that of the amplifier section 20, and directly outputs the output signal of the auxiliary amplifier section 40 to the resonance section 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-280834
(P2002-280834A)

(43)公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl.¹ 識別記号
 H 03 B 5/32
 G 04 C 10/00
 G 04 G 1/00
 3/00 3 1 0
 3/00

F I テーマコード² (参考)
 H 03 B 5/32 D 2 F 0 0 2
 G 04 C 10/00 C 2 F 0 8 4
 G 04 G 1/00 3 1 0 Q 5 J 0 7 9
 3/00 K

審査請求 未請求 請求項の数9 O.L. (全12頁)

(21)出願番号 特願2001-75312(P2001-75312)

(71)出願人 000001960

シチズン時計株式会社

東京都西東京市田無町六丁目1番12号

(22)出願日 平成13年3月16日 (2001.3.16)

(72)発明者 永田 洋一

東京都西東京市田無町六丁目1番12号 シ

チズン時計株式会社内

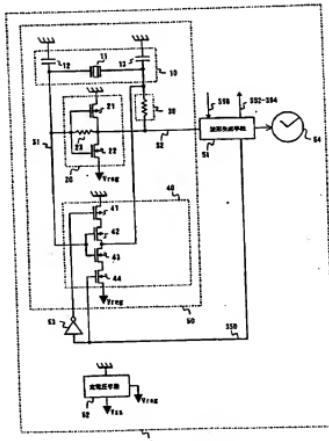
Fターム (参考) 2F002 AA00 AA01 AC01 AE00 AE01
 CB02 DA00 EA01 EA02 EA04
 GA04
 2F084 BB04 BB06 CC03 GG02 GG03
 JJ06 KK02
 5J079 AA04 BA21 BA35 BA42 EA02
 FA06 FB03 FB11 GA04 GA09
 GA18 KA02

(54)【発明の名称】 発振回路およびそれを用いた電子時計

(57)【要約】

【課題】 低電圧における発振回路の発振起動特性を向上させる。

【解決手段】 増幅部20と共振部10および減衰部30とで閉ループを構成した発振回路50において、増幅部20への入力信号を、増幅部20よりも高い増幅率で増幅する補助増幅部40を備え、補助増幅部40の出力信号を共振部10へ直接出力する。



【特許請求の範囲】

【請求項1】 共振回路からなる共振部と、前記共振部の出力信号を増幅する増幅部と、前記増幅部の出力を減衰する減衰部と、前記共振部の出力を増幅する補助増幅部とを有する発振回路であつて、前記補助増幅部の出力を直接前記共振部に接続することを特徴とする発振回路。

【請求項2】 前記増幅部は電界効果トランジスタ素子を有し、前記補助増幅部は電界効果トランジスタ素子を有し信号増幅動作する補助増幅回路と前記補助増幅回路を通電または非通電にするスイッチ回路とで構成し、前記補助増幅回路の電界効果トランジスタ素子のしきい値電圧を前記増幅部の電界効果トランジスタ素子のしきい値電圧よりも低く設定したことを特徴とする請求項1に記載の発振回路。

【請求項3】 前記増幅部がCMOSインバータで構成されたことを特徴とする請求項1に記載の発振回路。

【請求項4】 前記スイッチ回路が前記補助増幅回路を非通電状態としているときは前記補助増幅部の出力が高インピーダンス状態となることを特徴とする請求項2に記載の発振回路。

【請求項5】 所定の電圧を発生する定電圧手段を有し、該定電圧手段の出力から前記増幅部および前記補助増幅部へ電源供給を行うことを特徴とする請求項1に記載の発振回路。

【請求項6】 前記発振回路が発振動作を開始してから一定時間前記補助増幅部が増幅動作することを特徴とする請求項1に記載の発振回路。

【請求項7】 計時動作を行う時計ブロックと、外部からのエネルギーを電気エネルギーに変換する発電手段と、前記発電手段の出力を蓄える蓄電手段と、前記発電手段の出力を前記蓄電手段または前記時計ブロックへ昇圧出力する昇圧手段とを有する電子時計であつて、

前記時計ブロックは共振回路からなる共振部と、前記共振部の出力信号を増幅する増幅部と、前記増幅部の出力を減衰する減衰部と、前記共振部の出力を増幅する補助増幅部とを有し、前記補助増幅部の出力を直接前記共振部に接続する発振回路を備え、前記時計ブロックは前記発振回路の出力信号を元に計時動作を行うことを特徴とする電子時計。

【請求項8】 前記昇圧手段は前記発振回路が発振起動してから所定の期間前記時計ブロックへ昇圧動作を行うことを特徴とする請求項7に記載の電子時計。

【請求項9】 前記昇圧手段は前記発振回路の前記補助増幅部が動作する時間より前記昇圧回路が前記時計ブロックへ昇圧出力する時間が長いことを特徴とする請求項

8に記載の電子時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、水晶振動子などの固有周波数を利用して発振動作をさせる発振回路およびそれを用いた電子時計に関するものであり、特に電子時計などに用いられる水晶発振回路の発振起動性向上のための回路構成に関するものである。

【0002】

【從来の技術】 従来は発振回路の発振起動性向上させる目的で2つの発振インバータを並列に接続した発振回路は実用化されていた。ここではその従来の発振回路について図5を用いて説明する。

【0003】 この従来の発振回路50は、通常時の発振動作を行なうCMOS発振インバータである増幅部20と、電源投入時や電源電圧がわずかに低下した場合などに増幅部20の増幅率の低下を補うための補助増幅部40と、コンデンサである第1の発振容量12および第2の発振容量13と水晶振動子11とで構成した共振部10と、抵抗素子である減衰部30と、電源投入時にバルス波形を発生し、所定の時間は補助増幅部40を動作させるためのパワーオンリセット信号S50や、指針駆動用のステッピングモータを駆動するモータパルス信号を合成し出力する波形生成手段51と、電子時計の時刻表示を行う時刻表示部54などで構成されている。減衰部30は、主に第2の発振容量13の充放電電流の制限する目的で設けるもので、数100KΩ～1MΩ程度の抵抗素子を用いるのが一般的である。また補助増幅部40には、パワーオンリセット信号S50がハイレベルの間は増幅動作を行い、それ以外は出力が高インピーダンス状態となるCMOSクロックドインバータを用いている。

【0004】 増幅部20および補助増幅部40の入力は共通であり、かつ共振部10の出力である発振入力S1が接続している。また増幅部20および補助増幅部40の出力も共通であり、かつこの信号が発振出力S2となっている。そして発振出力S2は減衰部30を介して共振部10へ入力することで帰還回路を構成している。

【0005】 この従来の発振回路の動作は、パワーオンリセット信号S50が出力される所定の期間は補助増幅部40が動作状態となり、電源投入時などの増幅部20の増幅率の不足を補うよう動作するため、発振起動性が向上する。またパワーオンリセット信号S50がロウレベルとなる通常時は、補助増幅部40は出力端子が高インピーダンス状態となる。

【0006】

【発明が解決しようとする課題】 従来の発振回路50では、補助増幅部40が増幅部20に対して高い増幅率を得るために、補助増幅部40の補助増幅回路に用いる電界効果トランジスタ(FET)素子は充分なチャネル

幅に設定する必要があり、さらにこの補助増幅部40の切り換えを行うスイッチ回路についても、この抵抗成分を小さくするためチャネル幅を充分に大きく設定する必要がある。

【0007】ところが従来の発振回路50では、補助増幅部40の出力は減衰部30に入力するように構成されていたため、補助増幅部40の増幅率は減衰部30での減衰分を補うためさらに高い増幅率が得られるように設定する必要があり、そのために補助増幅部40をさらに大きなチャネル幅のFETにする必要があった。しかしながら、この手法で発振回路の起動電圧を下げようすると集積回路チップのサイズが大きくなってしまうというだけではなく、チャネル幅に比例して補助増幅部40の増幅率があがるわけではないので、あまり起動電圧が下がられないという問題点があった。

【0008】さらに補助増幅部40をオフ（非動作）にした場合には、増幅部20の出力端子に補助増幅部40を構成するFETのドレインに寄生する容量（図5中の寄生容量49）が大きくなり、通常時には増幅部20が常にこの寄生容量49の無駄な充放電を行なうため発振に必要な消費電力が大きくなってしまった。

【0009】すなわち従来の技術では、若干の電源電圧変動に対する発振特性についてはある程度補償することができたが、さらなる低電圧からの発振起動は困難でありかつ面積効率や通常時の消費電力が犠牲になるという問題があった。

【0010】【発明の目的】そこで本発明は上記の問題を解決し、発振動作の継続に必要な消費電力を犠牲にすることなく、発振起動電圧を従来より低くできる発振回路を提供し、さらに低電圧の印加でも動作可能な電子時計を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の発振回路は、共振回路からなる共振部と、前記共振部の出力信号を増幅する増幅部と、前記増幅部の出力信号を減衰する減衰部と、前記共振部の出力を増幅する補助増幅部とを有する発振回路であって、前記補助増幅部の出力を直接前記共振部に接続することを特徴とする。

【0012】また本発明の電子時計は、計時動作を行う時計ブロックと、前部からのエネルギーを電気エネルギーに変換する発電手段と、前記発電手段の出力を蓄える蓄電手段と、前記発電手段の出力を前記蓄電手段あるいは前記時計ブロックへ昇圧出力する昇圧手段などで構成した電源手段を有し、前記時計ブロックは共振回路からなる共振部と、前記共振部の出力信号を増幅する増幅部と、前記増幅部の出力信号を減衰する減衰部と、前記共振部の出力を増幅する補助増幅部とを有し、前記補助増幅部の出力を直接前記共振部に接続することを特徴とする発振回路を備え、前記発振回路の出力信号を元に計時動作を行うことを特徴とする。

【0013】【作用】本発明の発振回路は補助増幅部の出力は増幅部の出力と共通ではなく、共振部に直接出力するようとしているため、補助増幅部の増幅率を減衰させることなく発振動作させることができると。したがって、従来よりも小さな占有面積で発振回路を形成することができるようになる。

【0014】また補助増幅部の補助増幅回路を構成するFETのしきい値電圧を増幅部の増幅回路を構成するFETのしきい値電圧よりも低く設定している。このため低電圧での発振回路全体の増幅率を高くすることが可能となり、小さなチャネル幅、すなわち少ない占有面積のFETでさらなる低電圧での発振起動を実現できる。

【0015】また本発明の電子時計においては、低電圧で動作を開始した発振回路の出力信号を用い、昇圧動作を強制的に行なうことで高電圧を得ることができると、動作に必要な電圧の高いステッピングモータを含む時計ブロックを、低い印加電圧で動作させることができるとなる。

【0016】

【発明の実施の形態】以下、本発明の発振回路を実施するための最適な形態について図面を用いて説明する。図1は本発明の発振回路を電子時計に適用した実施の形態における時計ブロックの構成を示す回路図である。また図2は本発明の発振回路を用いた電子時計の波形生成手段の回路例を示す回路図である。図3は本発明の発振回路を電子時計に適用した実施の形態における全体回路の構成を示す回路図である。さらに図4は本発明の実施の形態の回路要部の電圧を示す波形図である。

【0017】【時計ブロックの構成説明：図1】まず図1を用いて本発明の発振回路を電子時計に適用した実施の形態の構成について説明する。

【0018】本発明の電子時計は発振回路50と波形生成手段51と定電圧手段52とインバータ53と時刻表示手段54などで構成している。

【0019】発振回路50は共振部10と増幅部20と減衰部30と補助増幅部40とで構成している。

【0020】共振部10は水晶振動子11と第1の発振容量12と第2の発振容量13とで構成している。増幅部20は第1のトランジスタ素子21と第2のトランジスタ素子22とバイアス抵抗23とで構成している。第1のトランジスタ素子21と第2のトランジスタ素子22とはしきい値電圧が0.5Vのものを用いる。減衰部30は抵抗素子で構成している。減衰部30は抵抗値が1MΩのものを用いる。補助増幅部40は第3のトランジスタ素子42と第4のトランジスタ素子43と第1のスイッチ41と第2のスイッチ44とで構成している。この第3のトランジスタ素子42と第4のトランジスタ素子43とから補助増幅回路を構成し、第1のスイッチ41と第2のスイッチ44とからスイッチ回路を構成している。

【0021】水晶振動子11は一般的な電子時計に用いられる水晶振動子である。また第1の発振容量12および第2の発振容量13は集積回路に内蔵したコンデンサである。第1の発振容量12は7pFであり第2の発振容量13は3pFであるものとする。各発振容量12、13の正極は接地し、負極を水晶振動子11の両端にそれぞれ接続している。なお、第1の発振容量12の負極は共振部10の出力端子であるが、発振入力S1としている。もう一方の第2の発振容量13の負極は共振部10の入力端子である。なお水晶振動子11と第1の発振容量12および第2の発振容量13とは共振回路を構成しており、この共振周波数は32768Hzとなるようにしてある。

【0022】第1のトランジスタ素子21はPチャネルのMOSFETであり、第2のトランジスタ素子22はNチャネルMOSFETである。バイアス抵抗23は数10MΩ以上の高抵抗素子である。第1のトランジスタ素子21と第2のトランジスタ素子22とバイアス抵抗23で簡単なCMOSアンプを構成している。

【0023】第1のトランジスタ素子21および第2のトランジスタ素子22のゲート端子同士は共通とし、この端子を増幅部20の入力端子としている。また第1のトランジスタ素子21および第2のトランジスタ素子22のドレイン端子をそれぞれを共通とし、この共通端子を増幅部20の出力端子としている。さらに第1のトランジスタ素子21のソース端子は接地し、第2のトランジスタ素子22のソース端子は後述の定電圧手段52の定電圧出力V_{reg}に接続する。さらに増幅部20の入力端子と出力端子との間にバイアス抵抗23を挿入する。

【0024】第3のトランジスタ素子42はPチャネルのMOSFETであり、第4のトランジスタ素子43はNチャネルMOSFETである。第1のスイッチ41はPチャネルのMOSFETであり、第2のスイッチ44はNチャネルMOSFETである。なお前述のように、第3のトランジスタ素子42および第4のトランジスタ素子43とが補助増幅回路を構成し、第1のスイッチ41および第2のスイッチ44とがスイッチ回路を構成している。

【0025】第1のスイッチ41のソース端子は接地し、第2のスイッチ44のソース端子は後述の定電圧手段52の定電圧出力V_{reg}に接続する。

【0026】また第3のトランジスタ素子42のソース端子は第1のスイッチ41のドレイン端子に接続し、第4のトランジスタ素子43のソース端子は第2のスイッチ44のドレイン端子に接続する。また第3、第4のトランジスタ素子42、43のゲート端子同士は共通とし、この共通端子を補助増幅部40の入力端子とする。さらにもう3、第4のトランジスタ素子42、43のドレイン端子同士は共通とし、この共通端子を補助増幅

部40の出力端子とする。

【0027】そして特に本実施の形態では第3のトランジスタ素子42および第4のトランジスタ素子43はともに増幅部20を構成するトランジスタ素子よりもしきい値電圧の低いものを用いる。ここでは両トランジスタ素子42、43のしきい値電圧はいずれも0.35Vに設定したものを使っていることとする。

【0028】また、第1のスイッチ41および第2のスイッチ44も、同様にしきい値電圧の低いもの(0.35V)を用いる。

【0029】そして発振入力S1が増幅部20および補助増幅部40に入力している。増幅部20の出力である発振出力S2には、減衰部30の一端が接続し、減衰部30の他端が共振部10の入力に接続している。一方、補助増幅部40の出力は、共振部10の入力端子(第2の発振容量13の負極)へ入力している。共振部10の出力は発振入力S1となっており帰還回路が形成されている。

【0030】補助増幅部40の第2のスイッチ44のゲート端子には、波形生成手段51のパワーオンリセット信号S50が接続している。また補助増幅部40の第1のスイッチ41のゲート端子には、パワーオンリセット信号S50をインバータ53に入力することで得られるパワーオンリセット信号S50の否定信号が接続している。なおインバータ53は一般的なCMOSインバータであり、接地-V_{reg}間の電圧で動作する。

【0031】さらに発振出力S2は波形生成手段51に入力している。波形生成手段51は発振回路の出力である発振出力S2を多段のフリップフロップ回路で分周し、この分周信号を合成することでステッピングモータを駆動するパルス波形を生成する論理回路である。また波形生成手段51は電源が投入されたときから0.5秒(500ミリ秒)の間ハイレベルとなるパワーオンリセット信号S50も出力する。

【0032】同様に波形生成手段51からは昇圧動作のための昇圧クロックS92と第1の充電信号S93と第2の充電信号S94とを出力している。さらに波形生成手段51には後述する発電検出信号S98が入力している。波形生成手段51の構成説明については後述する。

【0033】時刻表示体54は、図示しないステッピングモータや減速輪列や文字板や指針などからなる電子時計の時刻表示部分である。時刻表示体54は波形生成手段51が生成したパルス波形を元にステッピングモータを駆動し、減速輪列を介して指針を回転させて時刻を表示する。時刻表示体54については一般的な構成であるため詳細な構成説明は省略する。

【0034】定電圧手段52は一定電圧を出力する公知の定電圧回路(電圧レギュレータ)である。ここでは定電圧出力の端子はV_{reg}としている。なお定電圧手段52は時計ブロック61の電源電圧である接地-V_{ss}

50

間の電圧で駆動され、接地-V_{reg}間の電圧が0.8Vとなるように動作する。V_{ss}は時計ブロック61の負極の端子である。

【0035】なお定電圧手段52は一般的な定電圧回路と同様に、接地-V_{ss}間の電圧が0.8Vよりも低い間はV_{reg}端子にはV_{ss}と等しい電位が現れることとする。またこれ以降は特に断らない限り電源電圧V_{ss}とは接地-V_{ss}間の電圧を指すもとする。以上のようにして本発明の発振回路を適用した電子時計の時計ブロック61を構成する。

【0036】[波形生成手段の構成説明：図2] つぎに図2の回路図を用いて本実施の形態の波形生成手段51の構成について説明する。波形生成手段51は、整形インバータ71aと第1のフリップフロップ71bと第2のフリップフロップ71cとパルス合成回路71dとモータドライバ71eと第1のアンドゲート72と第1のオアゲート73と第2のオアゲート75と第2のアンドゲート77と第3のアンドゲート78と第1のレベルシフタ74と第2のレベルシフタ76とで構成する。

【0037】パルス合成回路71dとモータドライバ71eを除いた波形生成手段51中の論理回路は、補助増幅部40に用いたものと同様にPチャネル、Nチャネルと共に低い値CMOS回路で構成した低きい値CMOS回路で構成する。

【0038】すなわち、整形インバータ71aと第1のフリップフロップ71bと第2のフリップフロップ71cと第1のアンドゲート72と第2のアンドゲート77と第3のアンドゲート78と第1のオアゲート73と第2のオアゲート75と第1のレベルシフタ74と第2のレベルシフタ76とは、低きい値CMOS回路で構成する。

【0039】パルス合成回路71dは、一般的な電子時計で用いられる分周回路と複数の論理ゲートで構成された発振回路の出力を元に、前述のステッピングモータを回転駆動させるためのモータ駆動パルス波形を合成する一般的な論理回路である。またモータドライバ71eはパルス合成回路71dのモータ駆動パルス波形をレベル変換し、ステッピングモータを駆動する大電流を供給可能なドライバ回路である。特に図示はしないが、モータドライバ71eの出力端子には前述のステッピングモータの駆動コイルが接続している。パルス合成回路71dおよびモータドライバ71eについては一般的な電子時計と同様の回路構成があるので詳細な説明は省略する。

【0040】なおモータドライバ71eを除く波形生成手段51の構成要素が動作するための電源は、前述の定電圧手段52の出力から得られるよう接続している。

【0041】パルス合成回路71dはパワーオンリセット信号S50と強制昇圧信号S70と充電クロックS75とを出力している。充電クロックS75は1Hzの方形波である。またパワーオンリセット信号S50は、時

計ブロック61に電源を投入してから0.5秒間ハイレベルとなるパワーオンリセットバスである。同じように、強制昇圧信号S70はパワーオンリセットS50と同じ様のパワーオンリセットバスであるが、時計ブロック61に電源を投入してから1.5秒(1500ミリ秒)間ハイレベルとなるように設定してある。これらの充電クロックS75やパワーオンリセット信号S50は、一般的であるので生成回路の構成については省略する。

【0042】整形インバータ71aは、発振回路の出力信号S2を方波波へ波形整形するためのインバータである。整形インバータ71aの出力は、第1のフリップフロップ71bに入力している。また第1のフリップフロップ71bの出力は、第2のフリップフロップ71cに入力している。なお第1～第2のフリップフロップ71b～71cは、トグルタイプのフリップフロップである。第2のフリップフロップ71cは、出力信号をパルス合成回路71dへ接続している。

【0043】第1のオアゲート73はパルス合成回路71dの出力する強制昇圧信号S70と発電検出信号S98との論理和を出力する。第1のアンドゲート72は第1のオアゲート73の出力信号と第2のフリップフロップ71cの出力信号との論理積を第1のレベルシフタ74へ出力する。第1のレベルシフタ74および第2のレベルシフタ76は接地-V_{reg}間の論理信号レベルを接地-V_{ss}間の論理信号レベルへ変換する一般的なレベルシフタ回路である。第1のレベルシフタ74の否定出力は昇圧信号S92としている。

【0044】一方、第2のオアゲート75は強制昇圧信号S70と充電クロックS75との論理和を第2のレベルシフタ76へ出力する。

【0045】第2のアンドゲート77は第2のレベルシフタ76の出力と第1のレベルシフタ74の出力との論理積を出力する。なお第2のアンドゲート77の出力は第1の充電信号S93としている。第3のアンドゲート78は第2のレベルシフタ76の否定出力と第1のレベルシフタ74の出力との論理積を出力する。なお第2のアンドゲート78の出力は第2の充電信号S94としている。以上のようにして、波形生成手段51を構成する。

【0046】[電源手段の構成説明：図3] つぎに上記に示した時計ブロック61へ電力供給する電源手段90の構成について図3を用いて説明する。なお図3は本実施の形態の電子時計の全体構成が示されている。電源手段90は、第1のダイオード91と昇圧手段92と第1の充電スイッチ93と第2の充電スイッチ94と第2のダイオード95と発電手段96と蓄電手段97と発電検出手段98などで構成する。また時計ブロック61には、間欠的なステッピングモータ動作に対して電圧を安定化

50 させる目的で、コンデンサ62を並列接続している。す

なわちコンデンサS 6 2は正極が接地し負極はV ssである。なおこのコンデンサS 6 2は $10\mu F$ の容量のものを用いている。時計ブロック6 1とコンデンサS 6 2とは計時手段6 0とした。

【0047】リチウムイオン2次電池である蓄電手段9 7は、後述する発電手段9 6から出力される電力を蓄え、発電手段9 6が非発電である間も時計ブロック6 1を動作させるためのものである。蓄電手段9 7は正極を接地している。

【0048】第1のダイオード9 1は時計ブロック6 1が一旦動作を停止した後に再起動させる際に、後述の発電手段9 6の電力を時計ブロック6 1へ送るためのものである。また第2のダイオード9 5は発電手段9 6が非発電である間に蓄電手段9 7に蓄えられた電力を時計ブロック6 1へ送るためにものである。

【0049】第1のダイオード9 1および第2のダイオード9 5としては順方向電圧降下が0. 1V程度のものを用いる。ここではショットキバリアダイオードを用いることとする。第1のダイオード9 1のアノードは時計ブロック6 1の負極へ接続し、カソードは発電手段9 6の負極へ接続している。また第2のダイオード9 5のアノードも時計ブロック6 1の負極へ接続し、カソードは蓄電手段9 7の負極へ接続している。

【0050】発電手段9 6はソーラセルを1段だけ有する太陽電池モジュールである。発電手段9 6の正極は接地し、負極が昇圧手段9 2の昇圧入力端子に接続している。発電手段9 6は光が照射されると、低くとも約0. 6Vの開放電圧が発生するものである。

【0051】昇圧手段9 2はコンデンサの直並列状態を切りかえることで昇圧動作を行う一般的な昇圧回路である。昇圧手段9 2についての詳しい構成説明は省略するが、昇圧手段9 2はMOSトランジスタ素子によるスイッチ回路で構成し、かつこのMOSトランジスタ素子には前述の波形生成手段5 1の一部の論理回路に用いた低いしきい値のものを用いて、波形生成手段5 1が出力する小さな振幅(0. 5V以上)であっても充分に切り換える制御が可能となるようにしたものを用いる。

【0052】昇圧手段9 2の入力側には発電手段9 6の出力が接続しており、発電手段9 6の出力電圧を昇圧するようになっている。また昇圧手段9 2には昇圧動作を制御するために昇圧クロックS 9 2が接続しており、昇圧手段9 2はこの昇圧クロックS 9 2により内部のコンデンサを切り換えて4倍昇圧動作を行う。

【0053】また、第1の充電スイッチ9 3と第2の充電スイッチ9 4とは昇圧手段9 2の動作に同期して昇圧出力を時計ブロック6 1および蓄電手段9 7へそれぞれ送るためのスイッチ素子である。第1の充電スイッチ9 3のソース端子はV ssに接続し、ゲート端子は第1の充電スイッチ信号S 9 3に接続している。また第2の充電スイッチ9 4のソース端子は蓄電手段9 7の負極へ接続している。

続し、ゲート端子は第2の充電スイッチ信号S 9 4に接続している。さらに両充電スイッチ9 3, 9 4のドライブ端子は共に昇圧手段9 2の昇圧出力端子へ接続している。

【0054】一方、発電検出手段9 8は発電手段9 6の発電状態を検知するためのアンプ回路などからなる回路ブロックである。発電検出手段9 6の詳細な構成については省略するが、発電手段9 6が所定の発電量が出力されているときはハイレベルを出力しそれ以外ではローレベルを出力するよう動作する。なお発電検出手段9 8の検知出力は発電検出手段9 8として時計ブロック6 1に接続している。

【0055】【動作説明：図1～図4】つぎに図1から図4を用いて本発明の実施の形態の全体動作について説明する。ただし図4の波形図においては、発振出力S 2と昇圧クロックS 9 2以外は単に論理値だけを波形図上に示している。

【0056】ここでは蓄電手段9 7の残量が空で発電手段9 6も発電をしておらず、時計ブロック6 1の動作が停止した状態から発電手段9 6が発電を開始する場合について説明する。

【0057】まず発電手段9 6が発電を開始する。本実施の形態では発電手段9 6に光が照射されることに相当する。発電手段9 6の開放電圧はおよそ0. 6Vであり、第1のダイオード9 1を介してコンデンサS 6 2へ電荷が蓄えられ、端子電圧はほぼ0. 5Vとなる。このときは、時計ブロック6 1に印加される電源電圧V ssは0. 5Vであるが、このように電源電圧V ssが低い場合は定電圧手段5 2は電源電圧と等しい0. 5Vを出力する。

【0058】またこのときにはパワーオンリセット信号S 5 0および強制昇圧信号S 7 0はハイレベルとなっている。パワーオンリセット信号S 5 0がハイレベルの間は、補助増幅部4 0の第1のスイッチ4 1および第2のスイッチ4 4は導通状態となり、第3のトランジスタ素子4 2および第4のトランジスタ素子4 3で構成された補助増幅回路4 0は動作可能状態となる。

【0059】本実施の形態の発振回路においては、発振回路5 0に0. 5V程度が印加されれば発振回路5 0は発振動作を開始する。これは補助増幅部4 0は0. 5Vであっても発振に必要な增幅率があるためである。すなわち補助増幅部4 0と共振部1 0で構成された帰還回路で共振部1 0のものと共振周波数にほぼ等しい成分の信号だけの振幅が成長し、やがて発振出力S 2から正弦波が歪んだ方形波に近い出力信号が得られる。

【0060】さらにパワーオンリセット信号S 5 0がハイレベルの間は強制昇圧信号S 7 0も同様にハイレベルであり、この間は昇圧クロックS 9 2が高出力されるので昇圧手段9 2は昇圧動作を行なう。すなわち第1のレベルシフト7 4および第2のレベルシフト7 6を介して、は

じめは振幅が0.5Vの昇圧クロックS92が出力され、これにより昇圧手段92は昇圧動作を行う。このときは第1の充電スイッチ93は動作状態となるので昇圧出力は時計ブロック61側にのみ送られる。

【0061】また昇圧手段92が昇圧動作を行った結果として電源電圧Vssが0.8Vよりも高くなれば、定電圧手段52は所定の定電圧である0.8Vの一定値を出力する。したがって電源電圧Vssが0.8Vよりも高い状態では発振回路50自身に印加される電圧は、電源電圧Vssの変動によらず一定値となる。

【0062】なおこのときは補助增幅部40の増幅率は極めて高いものとなっているが、発振回路50の動作電圧は定電圧手段により最大でも0.8Vに固定されているので、高周波側の増幅率は制限され、この結果として水晶振動子11がオーバートーン(高次モード)発振するのを抑制できる。

【0063】そして発振開始から0.5秒後にはパワーオンリセット信号S50がロウレベルとなる。このときは補助增幅部40の第1のスイッチ41および第2のスイッチ44はオフ状態となる。よって補助增幅部40は非通電状態となりかつ補助增幅部40の出力端子は第2の発振容量13に対して高インピーダンスとなる。この結果、第3のトランジスタ素子42および第4のトランジスタ素子43の増幅動作は停止する。このときは発振回路50は増幅部20のみで発振動作を行ふこととなり、発振出力S2は正弦波に近い信号へと切り換わる。

【0064】パワーオンリセット信号S50がロウレベルとなってパワーオンリセット状態が解除されたときには、前述した通り電源電圧Vssは発電電圧よりも高い電圧に昇圧されている。すなわち電源電圧Vssは1.0V以上の電圧まで上昇しているため、標準しきい値電圧を有するCMOS回路で構成した波形生成手段51は通常の動作が可能となっている。

【0065】その後、発振回路50が発振開始してから1.5秒後には強制昇圧信号S70はロウレベルに切り換わる。このときには電源電圧Vssはさらに高い1.5V以上の電圧に昇圧されている。この電圧は前述のステッピングモータの駆動にも充分な電圧であり、図示していないがこのときの電源電圧Vssは1.5Vまで上昇しているので時刻表示体54の時刻表示動作が開始される。なお強制昇圧信号S70がロウレベルになれば昇圧手段92は強制昇圧動作はしなくなるが、このときは発電手段96が発電中であるので昇圧動作自体は継続する。

【0066】これ以降は、発電手段96が発電状態である間は発電検出手段98がこれを検知し、この結果発電検出手信号S98はハイレベルとなるので第2のフリップフロップ71cの出力信号と同等の信号が第1のレベルシフタ74を介して昇圧クロックS92に出力される。また第1の充電スイッチ93および第2の充電スイッチ

94は周期的に動作するため昇圧手段92の昇圧出力は、時計ブロック61と蓄電手段97とに交互に投入される。

【0067】したがって昇圧手段92は蓄電手段97と時計ブロック61とへ昇圧出力をを行うので、発振回路50が発振を開始してから数秒後には時刻表示を行いつつさらには蓄電手段97への充電も行われるようになる。

【0068】特に図4では示していないが、これとは逆に発電手段96が非発電状態であれば発電検出手信号S98はロウレベルとなるので昇圧クロックS92はハイレベルのままとなり、昇圧動作は停止する。同様に第1の充電スイッチ93および第2の充電スイッチ94はオフ状態となる。この間は時計ブロック61へは第2のダイオード95を介して蓄電手段97に蓄えられた電力が送られるため、発電手段96が非発電であっても時計ブロック61の時計動作は継続される。

【0069】なお本実施の形態で用いた補助增幅部40の第1のスイッチ41には補助増幅部40の第3のトランジスタ素子42と同じしきい値電圧のPチャネルMOSFETを用い、同様に第2のスイッチ44には第4のトランジスタ素子43と同じしきい値電圧のNチャネルMOSFETを用いることとしたが、第1のスイッチ41と第2のスイッチ44のしきい値電圧には増幅部20の第1のトランジスタ素子42と第2のトランジスタ素子43と同じしきい値電圧のものを用いてもよい。

【0070】またこれと類似するが、第3のトランジスタ素子42に第1のトランジスタ素子21と同じしきい値のPチャネルMOSFETを用い、第4のトランジスタ素子43にも第2のトランジスタ素子22と同じしきい値のNチャネルMOSFETを用い、その代わりに第3のトランジスタ素子42と第4のトランジスタ素子43のチャネル幅を3倍以上に設定することが可能であるが、この場合でも第3および第4のトランジスタ素子のチャネル幅を大きくしたことで発生する寄生容量分を考慮して各共振容量を調整すればよく、発振回路の起動電圧は上記までの実施の形態よりも悪くなるが、しきい値電圧を複数化する製造プロセスを用いて起動性をある程度は改善することができる。

【0071】たとえば本実施の形態で用いた第3のトランジスタ素子42および第4のトランジスタ素子43のチャネル幅の3倍以上に設定することが可能であるが、この場合でも第3および第4のトランジスタ素子のチャネル幅を大きくしたことで発生する寄生容量分を考慮して各共振容量を調整すればよく、発振回路の起動電圧は上記までの実施の形態よりも悪くなるが、しきい値電圧を複数化する製造プロセスを用いて起動性をある程度は改善することができる。

【0072】また本実施の形態では補助増幅部40の構成は、補助増幅回路に対してスイッチ回路が接地側および定電圧出力Vreg側となるように配置した。これはスイッチ回路を構成する第1のスイッチ41および第2のスイッチ44に基板バイアス効果が働いてスイッチング効率が悪くなることがないようにしたためであるが、この影響が無視できるようであればこの配置を変えてもよい。たとえば第3のトランジスタ素子42を接地側と

し、第4のトランジスタ素子44を定電圧出力V_{reg}側とし、第1のスイッチ41および第2のスイッチ44が補助増幅部40の出力側となるように配置してもよい。いずれの場合もパワーオンリセット信号S50をロウレベルにすれば補助増幅部40の電源が切れ非通電状態となりかつ補助増幅部40の出力を高インピーダンス状態にできる。

【0073】その他、本実施の形態における電源手段90に用いた回路要素もこれらに限定するものではない。たとえば蓄電手段97の充放電制御の経路を簡単にするために、蓄電手段97から時刻表示体54へ電力供給を行うために第2のダイオード95を用いたが、これをMOSFETで構成したスイッチとしてもよい。同様に第1のダイオード91はMOSFETで構成したスイッチとしてもよい。また昇圧手段92としてはコンデンサの接続状態を切りかえる形式のものを仮定したが、その他コイルに生じる誘起電圧を利用したものであってもよい。

【0074】さらにまた、本実施形態における電子時計としてアナログ式電子時計を例に説明したが、液晶表示パネルやエレクトロニクミネッセンス(EL)素子やライトエミッティングダイオード(LED)を表示素子として用いたデジタル式電子時計にも本発明の発振回路は適用可能である。

【0075】

【発明の効果】上記までの説明で明らかのように、本発明の発振回路を用いれば、従来は難しかった水晶発振回路自体を0.5Vという低電圧で発振起動動作させることができとなる。

【0076】特に補助増幅部にしきい値電圧を低く設定したMOSFETを用いることで、従来は達成できなかった水晶発振回路のさらなる低電圧発振起動を実現可能としている。

【0077】また通常発振時の消費電力は従来と変わらず、かつ定電圧手段を用いることでオーバートーン発振も抑制できるため、安定した発振特性を維持したまま起動特性の改善をはかることができる。

【0078】特に本発明の発振回路には一般的な電子時計の発振回路に用いる水晶振動子を用いており、CR発振回路やリング発振回路といった比較的の低電圧で動作する他の発振回路と比較して発振起動に必要な電流は格段に小さいため発振起動がしやすく、出力抵抗値の高い熱電

発電器なども発電手段として選べるというメリットも有している。当然ながらCR発振回路やリング発振回路といった発振回路を別途用意する必要もない。

【0079】さらに本発明の電子時計においては、上記の発振回路によって昇圧手段を駆動するようにならため、発振回路自体の起動電圧よりも定格電圧の高いステッピングモータなどの負荷を同時に動作させることができようになっており、発生電圧が低い発電器を用いて電子時計以外の様々な電子機器も駆動させることができとなる。

【図面の簡単な説明】

【図1】本発明の実施の形態の発振回路を電子時計に適用した時計ブロックの回路構成を示した回路図である。

【図2】本発明の実施の形態の発振回路を電子時計に適用した波形生成手段の構成を示した回路図である。

【図3】本発明の実施の形態の発振回路を電子時計に適用した全体回路構成を示した回路図である。

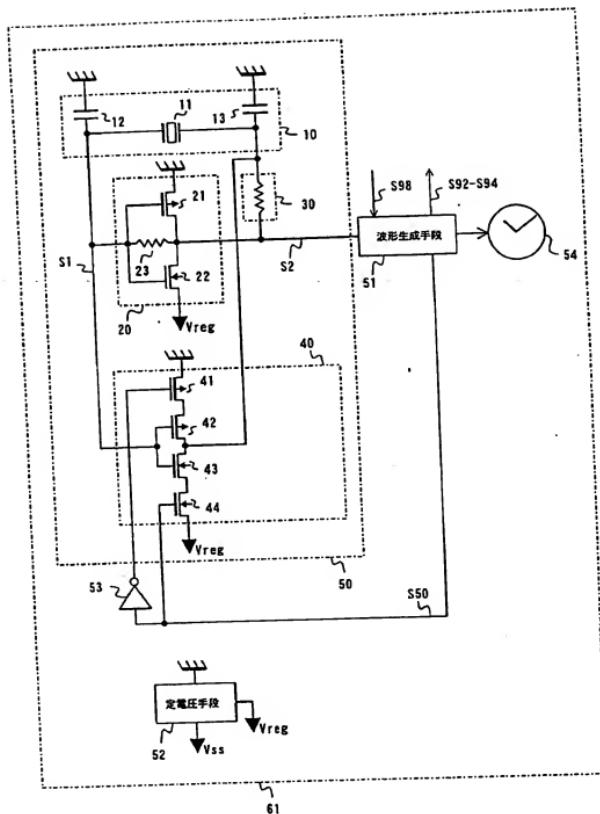
【図4】本発明の実施の形態の発振回路を電子時計に適用した要部電圧波形を示した波形図である。

【図5】従来技術の発振回路を示した回路図である。

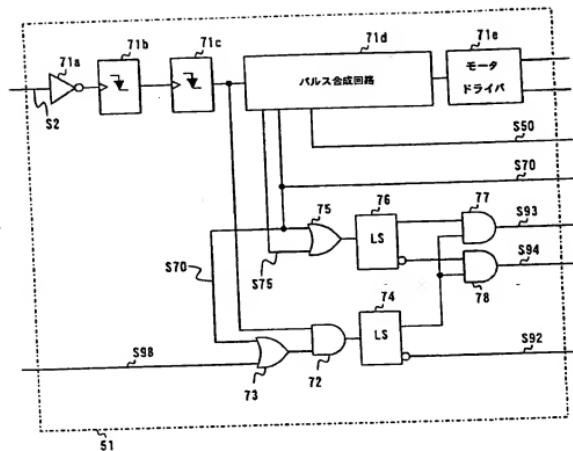
【符号の説明】

10	10 : 共振部	11 : 水晶振動子	12 :
	第1の発振容量		
	13 : 第2の発振容量	20 : 増幅部	
	21 : 第1のトランジスタ素子	22 : 第2のト	
	ランジスタ素子		
30	30 : 減衰部	41 : 第1のスイッチ	
	42 : 第3のトランジスタ素子	43 : 第4のト	
	ランジスタ素子		
	44 : 第2のスイッチ	40 : 補助増幅部	
	50 : 発振回路		
	51 : 波形生成手段	54 : 時刻表示体	
	61 : 時計ブロック		
	90 : 電源手段	91 : 第1のダイオード	
	92 : 昇圧手段		
	93 : 第1の充電スイッチ	94 : 第2の充電ス	
40	イッチ		
	95 : 第2のダイオード	96 : 発電手段	
	97 : 蓄電手段		
	98 : 発電検出手段		

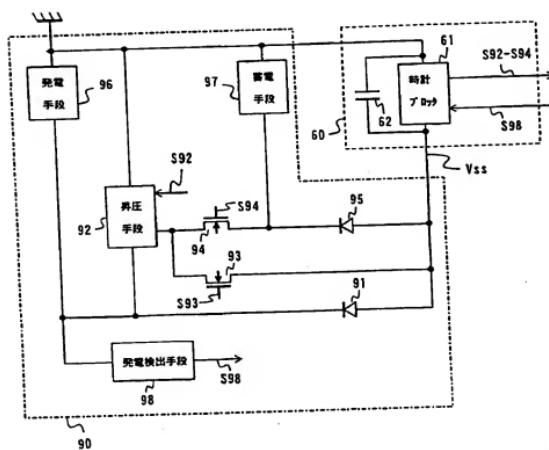
【図1】



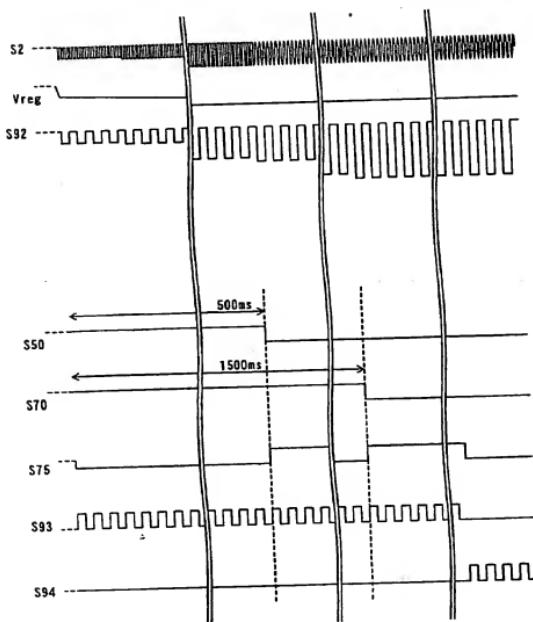
【図2】



【図3】



【図4】



【図5】

